

④ 대한민국 특허청 (KR)
 ④ 공개 실용 신안 공보 (U)

④ INL CL
 H 01 L 21/56

제 716 호

④ 공개일자 1991. 1. 3
 ④ 출원일자 1992. 6. 10

④ 공개번호 94-1979
 ④ 출원번호 92-10286
 실사장구: 없음

④ 고안자 박준수 서울특별시 강남구 역삼동 현대빌라 107-202

④ 출원인 금성일렉트론 주식회사 대표이사 문경완

충청북도 청주시 흥정동 50번지

④ 대리인 변리사 박창완

(전 2 단)

④ 반도체 패키지

④ 요약

본 고안은 반도체 패키지의 구조에 관한 것으로 반도체 패키지에 있어서, 반도체 칩이 부착 고정되는 리드 프레임의 패들과 상기 칩에 와이어 본딩되는 다수개의 외부연결 리드가 패키지의 저면으로 노출되도록 리드 프레임의 상부쪽만 에폭시 물딩 첨파운드로 물딩하여 구성한 것이다.

즉 리드 프레임은 기존한 상부쪽은 에폭시 물딩 첨파운드로 물딩하고 하부쪽은 패들로서 인텔리전션 역할을 하도록 함으로써 패키지의 견체적인 두께를 보다 작게하여 경량화에 기여하고, 신장률을 보다 높일 수 있다는 효과와 아울러 포밍공정이 생겨되는 등 저조공정이 단순화되며, 칩의 전기적인 특성이 보다 좋아지는 등의 여러 효과가 있다.

BEST AVAILABLE COPY

실용신안 등록청구의 범위

1. 반도체 패키지 구조에 있어서, 반도체 칩(11)이 부착 고정되는 리드 프레임의 케이스(12)가 상기 칩(11)이
와이어 편팅되는 다수개의 외부연결 리드(13)가 패키지의 처리으로 노출되도록 리드 프레임의 상부측면에 푸른
편팅 점과 편(14)을 물팅하여 구성함을 특징으로 하는 반도체 패키지.

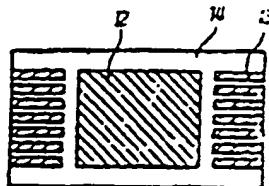
2. 제1항에 있어서, 상기 리드 프레임은 그외 케이스(12)와 외부연결 리드(13)가 수평상태로 형성되거나, 또는
케이스(12)를 둘러울린 업-챗구조로 형성됨을 특징으로 하는 반도체 패키지.

* 참고사항: 최초출원 내용에 의하여 공개하는 것임.

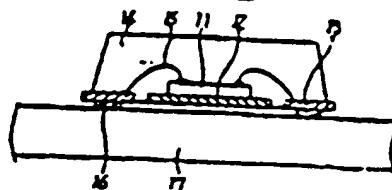
도면의 간단한 설명

제3도는 본 고안에 의한 반도체 패키지를 구조를 보이는 드면으로서, 제3도는 22도의 거연도, 제4도는 본
고안에 의한 반도체 패키지의 실장상태를 보인 단면도.

제3도



제4도



BEST AVAILABLE COPY